

基于FPGA的数字时钟设计

黄明霞,许泽恩,张海强,包龙生

(沈阳建筑大学交通工程学院,辽宁 沈阳 110168)

摘要 目的 设计一个具有计数、调时功能的数字时钟,以二十四小时为一个周期循环计数。方法 用 Verilog HDL 硬件描述语言,在 Quartus II 开发环境下采用自顶向下的方法设计数字时钟;设计主要包括分频模块、计数校时模块和译码显示模块三部分;分频模块把 50 MHz 的输入信号分频得到 1 Hz 的时钟信号,计数校时模块可以计数和调整时钟、分钟、秒钟的时间,然后通过译码显示模块在 FPGA 开发板上显示。结果 由 Modelsim 软件对各模块进行仿真测试可知,该系统基本实现了数字时钟的功能,满足设计要求。结论 Verilog HDL 与具体电路无关,在 Quartus II 开发环境下,大大地提高了设计的效率。

关键词 数字时钟;Verilog HDL;FPGA;Quartus II

中图分类号 TN402 文献标志码 A

Design of Digital Clock Based on FPGA

HUANG Mingxia, XU Ze'en, ZHANG Haiqiang, BAO Longsheng

(School of Traffic Engineering, Shenyang Jianzhu University, Shenyang, China, 110168)

Abstract: In this paper, Verilog HDL hardware description language is used to design a digital clock in Quartus-II environment by top-down method. It has the function of counting, timing and is tied to the 24-hour continue cycle. Its design includes three parts: frequency division module, the counting and timing module and segment code display module. The frequency division module is to divide 50 MHz input signal into 1 Hz clock signal and output it to the counting and timing module. The counting and proofreading module can count and adjust the clock, minutes and seconds. Then, they are displayed on the FPGA development board through the segment code display module. According to the simulation test of each module with the Modulsim software, the function of the digital clock is basically realized and is met the design requirements. Because Verilog HDL has nothing to do with circuits, the Quartus II development environment greatly improves the design efficiency.

Key words: digital clock; Verilog HDL; FPGA; Quartus II

收稿日期:2018-12-03

基金项目:国家自然科学基金面上项目(2018YFC0809606);辽宁省自然科学基金项目(2020-KF-12-08)

作者简介:黄明霞(1982—),女,副教授,博士,主要从事交通管理与控制方面研究。

在科技飞速发展的今天,最具代表性的时间装置是数字时钟。摆和摆轮游丝的创造,把时间误差从分级减小到秒级。石英晶体振荡器的应用,创造了时间精度更好的石英电子钟。再之后是单片机的应用,把时间在误差上从分级减小到 1/600 万秒。刘晓萌^[1]以单片机、温度传感器、液晶显示屏、时钟芯片等硬件,用 C 语言编程实现了数字时钟的设计。叶飞^[2]以单片机 STC89C51 为核心,结合相关的外围电路实现了数字时钟设计。韩雷等^[3]利用组合逻辑电路和时序逻辑电路将数字钟小时计数器设计成 12 进制,并在 NI Multisim 软件下模拟仿真。许亚迪等^[4]以 555 定时器、74 系列集成芯片配合各种逻辑门设计了数字时钟。刘颖杰等^[5]利用 EDA 技术,在 Quartus II 环境下采用自顶向下的设计方法实现了数字时钟。

数字时钟是通过电子技术实现显示时、分、秒的计时装置,与传统的石英表、机械表、手表及其他类表相比,具有精准性、易读性,并且具有更长的使用年限。数字电子钟以小巧、质量轻、高精度度、易制作、稳定性强等优点,在各领域都有着广泛的应用。从日常生活中的电子表,到信号灯、火车站、飞机场等公共场所。基于上述分析,笔者利用 EDA 技术在 FPGA 的基础上使用 Verilog 硬件描述语言实现数字时钟设计;叙述了分频的原理和数码管的工作原理,通过代码和伪代码描述了各模块的实现过程,然后对分频模块和计数校时模块进行了功能仿真。经功能验证无误后,在顶层模块例化并连接各个模块后编译,编译成功;最后,在 FPGA 开发板上调试验证。研究表明:在对数字时钟系统进行功能仿真和调试的过程中出现的错误,可以通过计算机在软件上修改和优化;Verilog 硬件描述语言与具体电路无关,大大减少了设计所需要的时间,提高了设计的效率;Verilog 硬件描述语言是 EDA 技术的重要组

成部分,可用于数字电路与系统的描述、模拟和自动设计,而且 Verilog 语言与具体的电路无关,通过 QUARTUSII 的开发环境,可以降低设计所需的时间,提高设计效率。

1 编程软件及语言介绍

1.1 FPGA 简介

FPGA 的英文全称为 Field Programmable Gate Array,即可编程门阵列。它是在 PAL、CPLD 的基础发展而来。相比于复杂可编程逻辑门阵列而言,FPGA 中有更丰富的寄存器资源。由于它高密度、高性能的特征,在通信产业、电子产业、医疗机构、军工业等各个领域有着广泛的应用,并且有以下几个优点:①电路运行速度快:FPGA 是通过对电路编程生成逻辑电路来实现功能,处理器是串行执行的,而 FPGA 是并行执行,因此运行速度要高于其他处理器;②可靠性高:FPGA 都是经过专门验证的半定制通用器件,因此有较高的可靠性;③成本很低:因为使用 FPGA 可以不用修改电路板来修改逻辑电路,而且相比于 ASIC 再开发的费用也很低;④易于维护和升级:FPGA 芯片中可以存储多个配置文件实现多种电路功能,还可以通过网络进行远程配置,这些特性使得 FPGA 易于维护和升级。

1.2 Verilog HDL 语言的简介

硬件描述语言(HDL)是电子系统硬件行为描述、结构描述、数据流描述的语言。利用这种语言,数字电路系统的设计可以从顶层到底层(从抽象到具体)逐层描述自己的设计思想,用一系列分层次的模块来表示极其复杂的数字系统;然后,利用电子设计自动化(EDA)工具,逐层进行仿真验证,再把其中需要变为实际电路的模块组合,经过自动综合工具转换到门级电路网表;再用专用集成电路 ASIC 或现场可编程门阵列 FPGA 自动布局布线工具,把网表转换为要实现的具體电路布线结构。

1.3 Quartus II 的设计流程

Quartus II 的设计流程主要包括工程创建、设计输入、设计编译、设计仿真、分配引脚和下载编译等^[6],如图1所示。

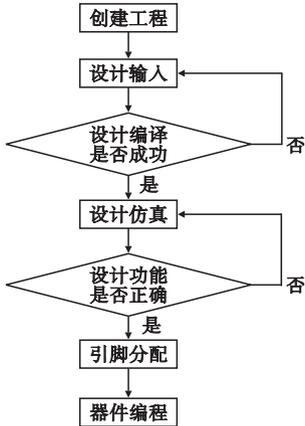


图1 Quartus II 的设计流程图

Fig.1 Design flow chart of Quartus II

(1) 创建工程: Quartus II 每次只进行一个项目,并将项目信息保存在同一文件夹中。双击 Quartus II 图标→【File】/【New project Wizard】→在【Family】和【Available devices】中选择芯片系列和型号→选择第三方 EDA 工具→完成。

(2) 设计输入: 新建工程以后就可以设计输入。Quartus II 有多种设计输入方法,如模块输入法、Core 输入法、EDA 设计输入法、原理图输入法和文本输入法。其中普遍使用的是原理图输入法和文本输入法。

(3) 编译项目: Quartus II 软件的编译器包括多个独立模块,各模块可以单独运行,也可以【Processing】/【Start Compilation】全编译。

(4) 设计仿真: 完成编辑和编译等步骤以后,可以用 Quartus II 自带的仿真功能对编写的代码进行仿真,也可以使用第三方仿真软件 Modelsim 仿真软件进行仿真,测试其波形。

(5) 引脚分配: 引脚分配是把编写的输入输出信号,固定到指定的芯片的管脚上去,为了将编写设计好的东西下载到芯片上去,

方便验证和测试。

(6) 器件编程: 把设计好的文件下载到开发板的芯片上去。

2 数字时钟各模块的设计

数字时钟主要的功能是计时,把时间显示出来。笔者设计的数字时钟有三个模块,分频模块、计数校时模块、译码显示模块。采用自顶向下的方法设计并完成各个模块^[7-14],使数字时钟具有正常计数及校时的功能。

2.1 整体模块

顶层模块是将各子模块连接成一体并实现其功能的模块,如图2所示。

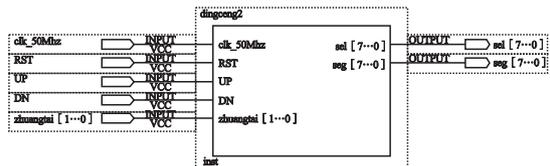


图2 顶层模块图

Fig.2 Diagram of the top-level module

该模块的各个端口说明如下。

分频模块: 把输入信号 50 MHz 晶振频率分频成 1Hz 时钟信号。

计数校时模块: 把分频成 1 Hz 的信号当做输入信号,每经过一个时钟脉冲进行一次计数,可以调时、调分、调秒。

译码显示模块: 把计时数据通过数码管显示出来。

输入信号:

clk_50 MHz: 开发板晶振频率 50 MHz;

RST: 时钟复位信号;

zhuangtai: 工作模式控制信号,模式定义为:00 表示正常计数,01 为调小时,10 为调分钟,11 为调秒钟;

UP: 调校模式加 1 的调节信号;

DN: 调校模式减 1 的调节信号。

输出信号:

clk_1Hz: 把 50 MHz 分频得到的 1 Hz 时钟信号;

shi[7:0]:“时”数据;
 fen[7:0]:“分”数据;
 miao[7:0]:“秒”数据。

2.2 分频模块

开发板的晶振频率为 50 MHz,而计数校时模块和译码显示模块运行需要 1 Hz 和 1 kHz 的时钟信号,所以需要分频来得到合适的频率。为了确保计数精准,对 50 MHz 时钟信号进行 50 000 000 次计数,分频产生 1Hz 的时钟信号。1 kHz 的信号则需要计数 50 000 次,模块图如图 3 所示。

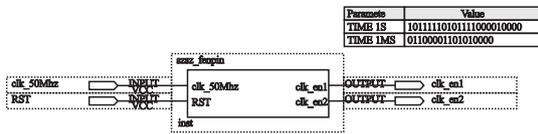


图3 分频模块

Fig. 3 Diagram of the frequency division module

2.3 计数校时模块

计数校时模块是数字时钟系统的主要模块,它会根据输入的信号改变时钟的工作状态,数字时钟流程图如图 4 所示。

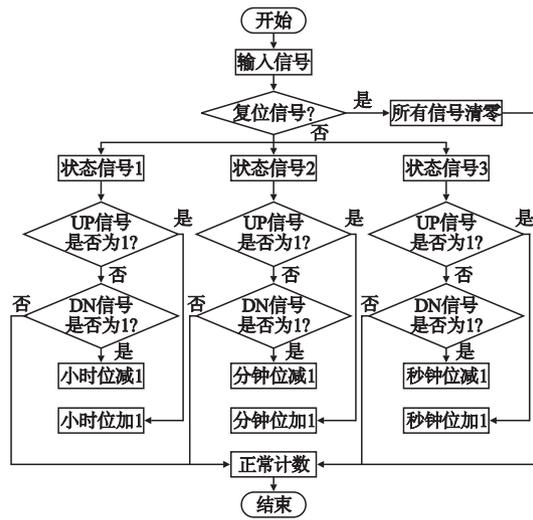


图4 计数校时模块流程图

Fig. 4 Flow chart of the counting and timing module

计数校时模块的基本思想:首先判断输入信号是否有复位信号,若有则将所有信号清零,否则进入状态选择。若输入信号为

zhuangtai = 2'b01,判断 UP 信号是否为 1,是则小时位加 1,否则再判断 DN 信号是否为 1,是则小时位减 1,否则正常计数。若输入信号为 zhuangtai = 2'b10,判断 UP 信号是否为 1,是则分钟位加 1,否则再判断 DN 信号是否为 1,是则分钟位减 1,否则正常计数。若输入信号为 zhuangtai = 2'b11,判断 UP 信号是否为 1,是则秒钟位加 1,否则再判断 DN 信号是否为 1,是则秒钟位减 1,否则正常计数。计数校时模块如图 5 所示。

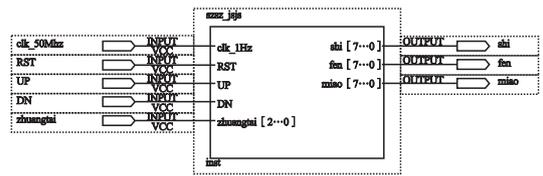


图5 计数校时模块

Fig. 5 Diagram of the counting time module

输入信号:

RST:复位信号;

clk_1 Hz:1 Hz 时钟信号;

zhuangtai:工作模式的控制信号,模式定义为 00 表示正常计数,01 为调小时,10 为调分钟,11 为调秒钟;

UP:加 1 的校时信号;

DN:减 1 的校时信号。

输出信号:

shi[7:0]:“时”数据;

fen[7:0]:“分”数据;

miao[7:0]:“秒”数据。

2.4 显示模块

数字时钟的七段数码管一般由 8 个发光二极管组成,并通过动态扫描的方式在 8 个数码管上显示时间。原理图如图 6 所示,其中 7 个细长的发光二极管组成数字显示,另外一个圆形的发光二极管显示小数点。发光二极管的阳极连在一起称为共阳极数码管,阴极连在一起称为共阴极数码管。对于共阴极数码管,根据需要显示的数字 0、1、2、3、4、5、6、7、8、9,点亮对应哪几段发光二极管。

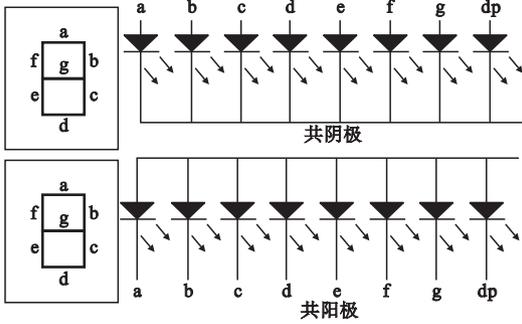


图6 七段数码显示原理图

Fig. 6 The display schematic diagram of seven-segment digital

依据以上原理设计显示模块,模块图如图7所示。时钟信号、复位信号、时、分、秒数据作为输入信号,七段数码管段选的输出和显示时、分、秒的十位数和个位数选择的位选作为输出信号。再另设两个寄存器变量 cnt_scan 和 cnt,用来对输入的时钟信号进行计数和对位选信号进行计数。定义 sel 为位选变量显示数码管的位选信号,通过寄存器变量 sel_r 给数码管的位选送出信号。定义 seg 为段选变量显示数码管的段选信号,通过寄存器变量 seg_r 给数码管各个段选送出信号。位选扫描先判断是否有复位信号,若有给 sel_r 赋值 8'b0,若没有则逐个显示对应位置的数码管。定义寄存器变量 seg_r_miao1、seg_r_miao2、seg_r_fen1、seg_r_fen2、seg_r_shi1、seg_r_shi2 为时、分、秒的十位和个位数。段选驱动首先判断是否有复位信号,若有则给对应的时、分、秒的寄存器变量赋值 8'hff,否则给对应的十位数和个位数赋值段码显示 16 进制值。

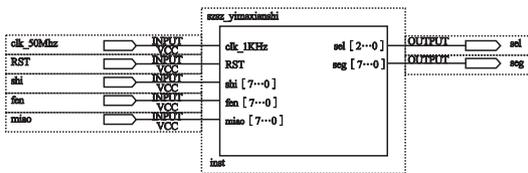


图7 译码显示模块

Fig. 7 Diagram of the decoding display module

2.5 外设硬件电路

2.5.1 时钟电路

所有的频率都是从晶振上分频而来的,晶振可以分为有源和无源^[15]。无源晶振需要外部的设备影响才能产生震荡信号。有源晶振则是完备的振荡器,所以在 FPGA 开发板上采用有源晶振。有源晶振有四只引脚,是一个完整的振荡器,器件内部除了石英晶体外,还有晶体管和阻容元件。输出端串接 100Ω 和 0Ω 电阻,以方便时钟电路调试,图8所示为时钟电路原理图。

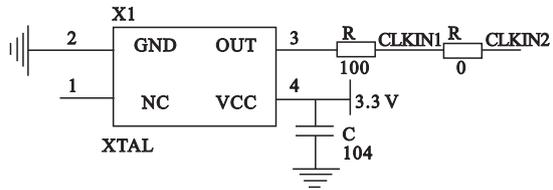


图8 时钟电路原理图

Fig. 8 The schematic diagram of clock circuit

2.5.2 复位电路

电源是整个模块和各个模块正常运行及工作的基本保障,如果电源设计不合理,将导致整体模块和各个模块的无法正常工作。

大多数复位电路的设计都是采用低电平有效的方式,有些单片机则是高电平有效的方式。多数的复位电路可以分为芯片复位和阻容复位。芯片复位比阻容复位稳定,阻容复位则比芯片复位更容易发生抖动。常用的复位芯片有 MAX708S/706S 系列和 IMP811。芯片复位有高、低电平复位方式,阻容复位只有低电平复位方式,但价格低廉且体积小,其原理图如图9所示。

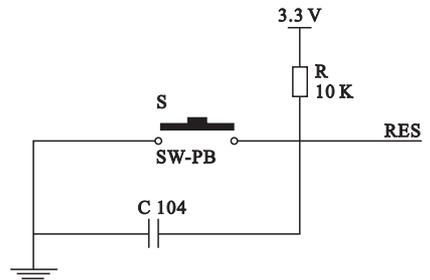


图9 复位电路原理图

Fig. 9 The schematic diagram of reset circuit

3 系统调试及运行结果分析

3.1 编译结果

FPGA 的主控芯片选择 Altera 公司推出的 EP2C5T144C8-FPGA 开发板(简称 EP2C5 开发板)。EP2C5 开发板是 Cyclone II 系列 EP2C5T144C8 芯片作为核心处理器进行设计的,主要向广大的高校相关专业学生、电子爱好者、科研单位的开发设计人员,同时比第一代 EP1C6 等芯片的设计上、内部的逻辑资源上都有很大的改进,而且价格被广大客户所接受,具有较高的性价比。

对顶层模块和各子模块进行编译^[16-19],编译成功。编译结果如图 10 所示,总逻辑元件(Total logic elements)256 个,总组合功能(Total combinational)240 个,专用逻辑寄存器(Dedicated logic registers)132 个,总寄存器 132 个。

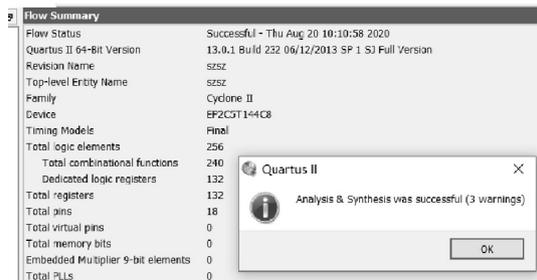


图 10 编译结果

Fig. 10 The compiled result

在调试之前,需要检查硬件是否连接正确,确认接口和开发板的下载口的连接,确认接地线、电源线的连接,数码管的显示是否正常。

3.2 分频模块和计数校时模块仿真

3.2.1 分频模块仿真

分频模块的功能是把数字时钟系统的 50 MHz 时钟输入信号分频为 1 kHz 和 1 Hz 的时钟信号。该模块主要由 4 个 always 块组成,分别实现时钟信号的计数和使能信号的输出。以下 Verilog 代码主要描述分频 1Hz 时钟信号的实现过程,仿真图如图 11

所示。

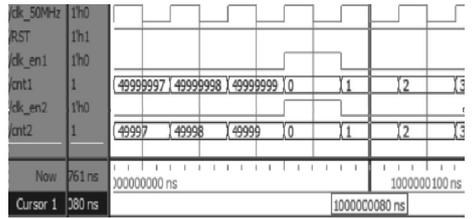


图 11 分频模块仿真图

Fig. 11 Simulation result of the frequency division module

分频模块的设计采用时钟使能的设计方法。50 MHz 时钟输入信号和复位信号为 clk_50 MHz 和 RST。对于分频 1 Hz 的时钟信号,可以定义一个寄存器变量 cnt1 用于计数,每经过一个 clk_50 MHz 时钟信号的上升沿 cnt1 计数一次,当 cnt1 计数到 49 999 999 时输出 1 Hz 使能信号 clk_en1,同时 cnt1 清零。分频 1 kHz 信号同理。

3.2.2 计数校时模块仿真

计数校时模块具有计数和校时的功能,以 24 小时为一个周期不断的循环计数。该模块主要由 3 个 always 块组成,分别实现秒钟、分钟和小时的计数。仿真图如图 12 所示。

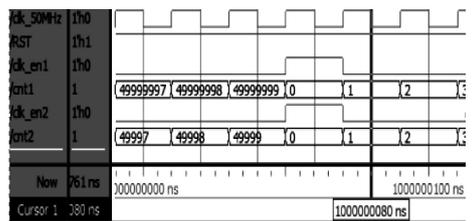


图 12 正常计数的仿真图

Fig. 12 Simulation result of normal count

为了方便观察仿真图,将时钟分频参数改成 TIME_1S = 5。也就是说 cnt1 计数到 4 时输出 1Hz 的使能信号 clk_en1。由仿真图可知,每当使能信号 clk_en1 经过时,数字时钟就会加 1 计数;若计数状态处于 23:59:59,秒再进行一次计数,则对应时、分、秒的显示全部清零,并从零开始重新计数。

在数字时钟正常计数时,若接收到调时、调分或调秒信号时,会调整相对应的时间。仿真图如图 13~15 所示。

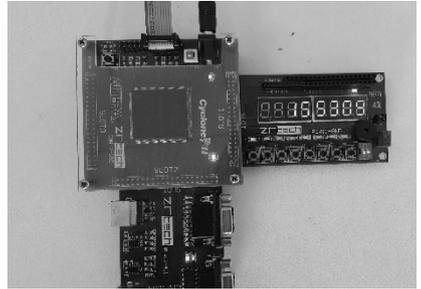


图 16 计数调试

Fig. 16 Diagram of counting debugging

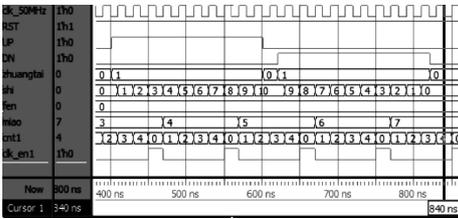


图 13 调整小时仿真图

Fig. 13 Simulation results of adjusting the hour

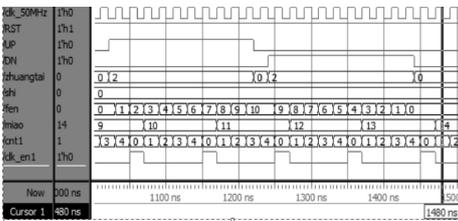


图 14 调整分钟仿真图

Fig. 14 Simulation results of adjusting the minute

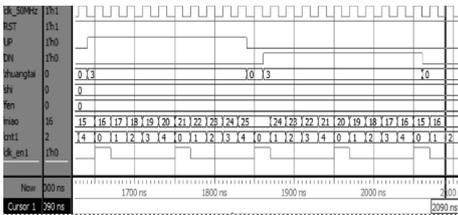


图 15 调整秒钟仿真图

Fig. 15 Simulation results of adjusting the second

由仿真图可知,在数字时钟正常计数过程中,不论使能信号 clk_en1 是否到达,只要检测到输入信号就会立即调整时间。当 zhuangtai 信号为 1 时,若 UP 信号为 1,则对应小时位 shi 加 1,若 DN 信号为 1,则对应小时位 shi 减 1。zhuangtai 信号为 2 时,若 UP 信号为 1,则对应分钟位 fen 加 1, DN 信号为 1,则对应分钟位 fen 减 1。zhuangtai 信号为 3 时,若 UP 信号为 1,则对应秒钟位 miao 加 1,若 DN 为 1,则对应秒钟位 miao 减 1。

3.3 调试结果

待显示模块可以正常运行后,再对计数模块进行调试,如图 16 所示。

4 结论

(1)笔者使用 Quartus II 软件时的设计是采用自顶向下的方法,对分频、计数校时、译码显示模块用 Verilog HDL 语言进行编程并仿真验证其正确性。各子模块的代码在 Modelsim 下编译通过,由仿真图可见实现了数字时钟的基本功能;在 Quartus II 上调出各模块的框图,设整体模块为顶层模块,并综合编译、分配引脚、编译成功后在 FPGA 开发板上进行调试验证,调试结果基本符合设计要求。

(2)在设计过程中需要尽早查找发现错误并修改,以免发生重复设计;FPGA 的开发板,可以实现各种数字产品的功能,提高了检查的效率,体现了在利用 FPGA 开发数字产品时的优越性。

参考文献

[1] 刘晓萌. 基于单片机的多功能数字时钟设计[J]. 科技经济市场, 2017(7): 17-18.
 (LIU Xiaomeng. Design of multifunctional digital clock based on single chip computer [J]. Science and technology economic market, 2017(7): 17-18.)

[2] 叶飞. 基于 51 单片机实现数字时钟[J]. 电脑知识与技术, 2018, 14(9): 285-286.
 (YE Fei. Realization of digital clock based on 51 single chip microcomputer [J]. Computer knowledge and technology, 2018, 14(9): 285-286.)

[3] 韩雷, 陈志鹏, 王鸣誉. 数字时钟 12 进制电路的设计[J]. 中国科技信息, 2017(9): 53-55.
 (HAN Lei, CHEN Zhipeng, WANG Mingyu. Design of duodecimal number system digital electronic clock [J]. China science and

- technology information, 2017(9):53-55.)
- [4] 许亚迪,张路莹,周麟坤.一种数字电子时钟的设计[J].中国新通信,2018,20(8):109.
(XU Yadi, ZHANG Luying, ZHOU Linkun. A design of digital electronic clock [J]. China new communications, 2018, 20(8):109.)
- [5] 刘颖杰,李波,吕紫薇.基于VHDL语言的数字时钟设计[J].现代经济信息,2018(12):434.
(LIU Yingjie, LI Bo, Lü Ziwei. Design of digital clock based on VHDL language [J]. Modern economic information, 2018(12):434.)
- [6] 江国强. SOPC 技术与应用[M].北京:机械工业出版社,2006.
(JIANG Guoqiang. SOPC technology and application [M]. Beijing: China machinery industry press, 2006.)
- [7] 张志刚. FPGA 与 SOPC 设计教程:DE2 实践[M].西安:西安电子科技大学出版社,2007.
(ZHANG Zhigang. FPGA and SOPC design tutorial: DE2 practice [M]. Xi'an: Xidian University Press, 2007.)
- [8] 王开军,姜宇博.面向CPLD/FPGA的Verilog HDL设计[M].北京:机械工业出版社,2006.
(WANG Kaijun, JIANG Yubo. Verilog HDL design for CPLD/FPGA [M]. Beijing: Machinery Industry Press, 2006.)
- [9] 侯伯亨,顾新. Verilog HDL 硬件描述语言与数字逻辑电路设计[M].西安:西安电子科技大学出版社,2004.
(HOU Boheng, GU Xin. Verilog hardware description language and digital logic circuit design [M]. Xi'an: Xidian University Press, 2004.)
- [10] 袁本荣.用 Verilog HDL 进行 FPGA 设计的一些基本方法[J].微计算机信息,2004,20(6):93-110.
(YUAN Benrong. Verilog HDL for FPGA design of some basic methods [J]. Microcomputer information, 2004, 20(6):93-110.)
- [11] 刘君,常明,秦娟.基于硬件描述语言(VHDL)的数字时钟设计[J].天津理工大学学报,2007,23(4):40-41.
(LIU Jun, CHANG Ming, QIN Juan. Design of digital clock based on hardware description language (VHDL) [J]. Journal of Tianjin university of technology, 2007, 23(4):40-41.)
- [12] 刘浩斌.数字电路与逻辑设计[M].北京:电子工业出版社,2007.
(LIU Haobin. Digital circuit and logic design [M]. Beijing: Publishing House of Electronics Industry, 2007.)
- [13] 杨晓惠. FPGA 系统设计与实例[M].北京:人民邮电出版社,2006.
(YANG Xiaohui. FPGA system design and examples [M]. Beijing: Posts and Telecom Press, 2006.)
- [14] 戴敬,王超.基于FPGA多级分布式算法的FIR数字滤波器的设计[J].沈阳建筑大学学报(自然科学版),2010,26(1):196-200.
(DAI Jing, WANG Chao. The design of multi-channels distributed arithmetic algorithm fir filter based on FPGA [J]. Journal of Shenyang jianzhu university (natural science), 2010, 26(1):196-200.)
- [15] 阎石.数字电子技术基础[M].5版.北京:高等教育出版社,2008.
(YAN Shi. Fundamentals of digital electronic technology [M]. 5th ed. Beijing: Higher Education Press, 2008.)
- [16] 张丽萍.基于EP1C3T144的最小系统开发板的设计[J].武汉科技大学学报.2007,30(3):293-301.
(ZHANG Liping. Design of the smallest system development board based on EP1C3T144 [J]. Journal of Wuhan university of science and technology, 2007, 30(3):293-301.)
- [17] 王晓峰.EDA技术在实验教学中的应用[J].长春师范学院学报,2010,29(6):120-121.
(WANG Xiaofeng. Application of EDA technology in experimental teaching [J]. Journal of Changchun normal university, 2010, 29(6):120-121.)
- [18] 张霖晨.探究数字电子技术实验中的EDA技术[J].电子制作,2018(20):57-58.
(ZHANG Jichen. Explore the EDA technology in the experiment of digital electronic technology [J]. Electronic production, 2018(20):57-58.)
- [19] 唐佳. FPGA 通用数字信号处理实验板的设计与实现[J].科技创新导报,2010,6(18):29-46.
(TANG Jia. Design and implementation of FPGA universal digital signal processing experiment board [J]. Science and technology innovation guide, 2010, 6(18):29-46.)
(责任编辑:刘春光 英文审校:范丽婷)